



*Modulador por anchura de pulso sinusoidal basado en FPGA para un convertidor DC-AC monofásico de frecuencia fija*

*FPGA based sinusoidal pulse width modulator for a single phase fixed frequency DC-AC converter*

*Modulador de largura de pulso senoidal baseado em FPGA para um conversor CC-CA de frequência fixa monofásica*

Wohler Gonzales Saenz <sup>I</sup>  
[wohler.gonzales@unh.edu.pe](mailto:wohler.gonzales@unh.edu.pe)

<https://orcid.org/0000-0003-0728-9479>

Moisés Chaico Pecho <sup>II</sup>

[moiseschaicop@gmail.com](mailto:moiseschaicop@gmail.com)

<https://orcid.org/0000-0002-2114-1529>

Fernando Abel Quintana Lazo <sup>III</sup>

[faquintanal@outlook.com](mailto:faquintanal@outlook.com)

<https://orcid.org/0000-0003-3239-5484>

Juan Mateo Diaz Cusi <sup>IV</sup>

[mateodiaz\\_@hotmail.com](mailto:mateodiaz_@hotmail.com)

<https://orcid.org/0000-0002-0833-0974>

**Correspondencia:** [wohler.gonzales@unh.edu.pe](mailto:wohler.gonzales@unh.edu.pe)

Ciencias Técnicas y Aplicadas  
Artículo de Investigación

\***Recibido:** 30 de Septiembre de 2021 \***Aceptado:** 30 de Octubre de 2021 \* **Publicado:** 16 de Noviembre de 2021

- I. Universidad Nacional de Huancavelica, investigador docente, Perú.
- II. Universidad Nacional de Huancavelica, investigador independiente, Perú.
- III. Universidad Nacional de Huancavelica, investigador independiente, Perú.
- IV. Universidad Nacional de Huancavelica, investigador independiente, Perú.

## Resumen

El presente trabajo de investigación tiene la finalidad de evidenciar que un convertidor electrónico DC-AC conectado a un sistema de control con modulación por anchura de pulso sinusoidal SPWM basado en FPGA, obtiene un voltaje de corriente alterna tipo sinusoidal a partir de acumuladores de voltaje de corriente continua DC (baterías). Se explica el diseño del controlador del inversor basado en FPGA con la técnica del SPWM unipolar con la cual se obtiene una señal sinusoidal de 60 Hz a la salida del inversor; por otro lado, se describe las características de la señal portadora de tipo triangular de 2100 kHz con la cual se configura en la FPGA los pulsos de anchura variable correspondientes a los semi ciclos positivo y negativo de la onda de frecuencia fija (60Hz). La secuencia de los pulsos se ha programado en Quartus II basado en el Lenguaje de descripción de Hardware (VHDL). Los resultados obtenidos corresponden a obtención de secuencias de 34 pulsos de la señal SPWM distribuidos en 17 pulsos por cada semi ciclo (positivo y negativo) de la onda, asimismo, al aplicar un filtro paso bajo a la señal SPWM del inversor basado con FPGA se obtiene una distorsión armónica total (THD) del 3.29% que evidencia que la señal obtenida tiene una aproximación muy elevada a la sinusoide de otros trabajos como las de Colak & Kabalci (2013) entre otros orientados al diseño de moduladores SPWM.

**Palabras Claves:** Convertidores DC/AC; FPGA; programación VHDL y modulación SPWM.

## Abstract

The present research work aims to show that a DC-AC electronic converter connected to a control system with sinusoidal pulse width modulation SPWM based on FPGA, obtains a sinusoidal type alternating current voltage from voltage accumulators of direct current DC (batteries). The design of the inverter controller based on FPGA is explained with the unipolar SPWM technique with which a sinusoidal signal of 60 Hz is obtained at the inverter output; On the other hand, it describes the characteristics of the 2100 kHz triangular-type carrier signal with which the variable width pulses corresponding to the positive and negative half cycles of the fixed frequency wave (60Hz) are configured in the FPGA. The pulse sequence has been programmed in Quartus II based on the Hardware Description Language (VHDL). The results obtained correspond to obtaining sequences of 34 pulses of the SPWM signal distributed in 17

pulses for each half cycle (positive and negative) of the wave, likewise, when applying a low-pass filter to the SPWM signal of the FPGA-based inverter, obtains a total harmonic distortion (THD) of 3.29% which shows that the signal obtained has a very high approximation to the sinusoid of other works such as Colak & Kabalci (2013) among others oriented to the design of SPWM modulators.

**Keywords:** DC / AC converters; FPGA; VHDL programming and SPWM modulation.

## Resumo

O presente trabalho de pesquisa visa mostrar que um conversor eletrônico DC-AC conectado a um sistema de controle com modulação por largura de pulso senoidal SPWM baseado em FPGA, obtém uma tensão de corrente alternada do tipo senoidal de acumuladores de tensão de corrente contínua DC (baterias). O projeto do controlador do inversor baseado em FPGA é explicado com a técnica SPWM unipolar com a qual um sinal senoidal de 60 Hz é obtido na saída do inversor; Por outro lado, descreve as características do sinal portador do tipo triangular de 2100 kHz com o qual os pulsos de largura variável correspondentes aos semiciclos positivos e negativos da onda de frequência fixa (60 Hz) são configurados no FPGA. A sequência de pulso foi programada no Quartus II com base na Linguagem de Descrição de Hardware (VHDL). Os resultados obtidos correspondem à obtenção de sequências de 34 pulsos do sinal SPWM distribuídos em 17 pulsos para cada meio ciclo (positivo e negativo) da onda, da mesma forma, ao se aplicar um filtro passa-baixo ao sinal SPWM do inversor baseado em FPGA, obtém uma distorção harmônica total (THD) de 3,29% o que mostra que o sinal obtido tem uma aproximação muito alta da sinusóide de outros trabalhos como Colak & Kabalci (2013) entre outros voltados para o projeto de moduladores SPWM.

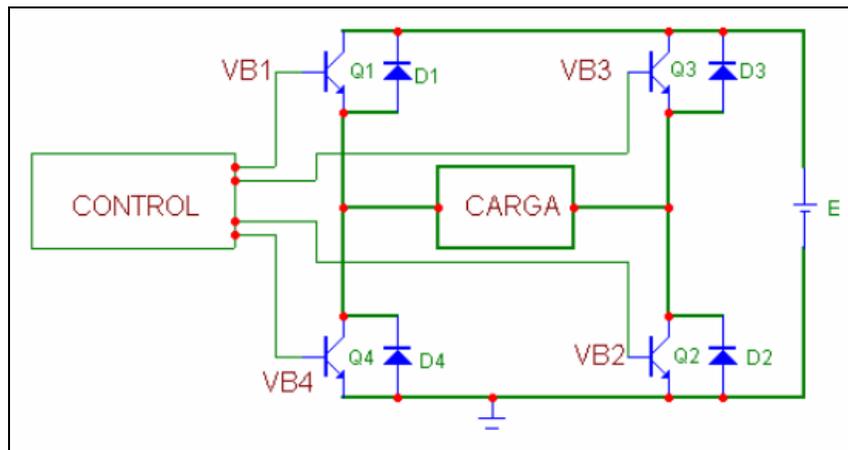
**Palavras-chave:** Conversores DC / AC; FPGA; Programação VHDL e modulação SPWM.

## Introducción

Un convertidor DC-AC monofásico trata de lograr energía eléctrica de corriente alterna desde una fuente de corriente continua. La implementación del circuito eléctrico de este convertidor también se le denomina como “inversor” cuyo funcionamiento es la conmutación de dispositivos electrónicos discretos, es decir que los semiconductores operan en corte y

saturación. Existen numerosas aplicaciones de estos convertidores donde son necesarios disponer de voltajes y frecuencias definidas para el funcionamiento de electrodomésticos entre otros usos. Existen diferentes circuitos de inversores monofásicos que pueden adoptarse, sin embargo, una buena elección se realiza conforme a la aplicación para obtener el mayor rendimiento posible y un funcionamiento estable. En el presente estudio de investigación nos enfocaremos en un inversor monofásico puente con alimentación de una batería tanto para bajas, medianas y altas potencias en aplicaciones monofásicas. En la figura 1 se representa el esquemático del circuito inversor con controlador con FPGA quien realizará las acciones de control de la técnica modulación por anchura de pulsos sinusoidal SPWM.

Figura 1. Puente inversor monofásico



El circuito funciona por conmutación donde la conducción se establece en forma diagonal, los transistores Q1 y Q2 conducen al mismo tiempo durante un semiciclo y luego en el otro semiciclo conducen Q3 y Q4. Siempre y sin excepción, cualesquiera sean los elementos utilizados el circuito depende del estado de conducción regulado por la FPGA que corresponde al bloque de control. (Vernavá, Gibbons, Nachez, Arias, & Novello, 2018). Durante el desarrollo del modulador se tiene en consideración al Register Transfer Level (RTL) viewer del Quartus II para programar y verificar en la FPGA las representaciones esquemáticas internas del diseño programático del lenguaje de descripción de hardware con la cual gobernar al circuito electrónico inversor.

## Materiales y Métodos

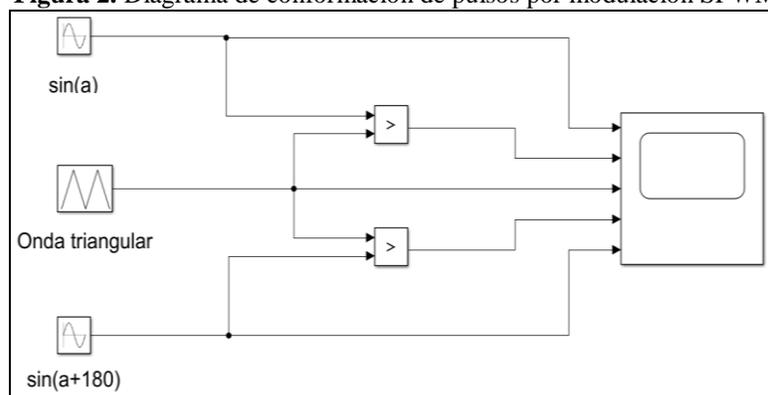
En el desarrollo del trabajo se utilizó 01 Tarjeta de entrenamiento FPGA de la familia Cyclone IV (EP4CE6E22C8N) con frecuencia de reloj de 50 MHz, 01 circuito integrado L298N que realiza la función de puente H y de acoplo de la baja potencia con la alta potencia eléctrica, 01 batería de 6V/4Ah, 01 filtro paso bajo RC ( $R=26.5k\ \text{ohm}$ ,  $C=100nF$ ), 01 osciloscopio de marca Hantek DSO5102P de 02 canales de 100 MHz, el software Matlab y el software Quartus II.

Los métodos empleados para el desarrollo del modulador SPWM fueron el analítico-sintético y experimental (Hernández León, 2011) (Rodríguez & Perez, 2017). Durante el análisis, se identificaron la conformación de los pulsos de la modulación SPWM con la ayuda del Simulink de Matlab, en este análisis se estableció las características de la señal portadora y moduladora, asimismo, los índices de modulación de amplitud y frecuencia. En lo que corresponde a la síntesis, ha permitido el diseño de la unidad de control mediante FPGA del cual se obtienen pulsos cuadrados con modulación de ancho de pulso (PWM) variables. En cuanto al método experimental, se verifica el funcionamiento del modulador SPWM basado en FPGA con frecuencia fija de 60 Hz a su vez la medición de la distorsión armónica total THD de la señal de salida del inversor.

## Etapas del estudio

Etapa 1. Conformación de pulsos: En esta etapa se ha construido un generador de pulso de onda cuadrada según la conmutación de pulsos entre una onda senoide y otra de tipo triangular según la técnica SPWM, la conformación de los pulsos se realizó mediante el software simulink de Matlab cuyo esquemático se observa en la figura 2.

Figura 2. Diagrama de conformación de pulsos por modulación SPWM



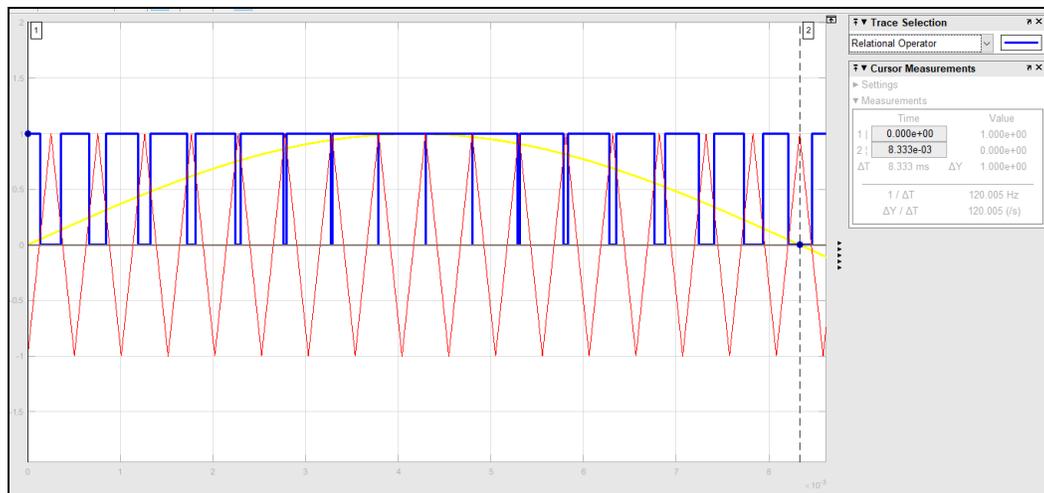
La técnica corresponde en la comparación de dos funciones periódicas de amplitud unitaria para cada semi ciclo positivo y negativo de una senoide que cumple el rol de señal moduladora y una portadora (onda triangular) que oscilan con frecuencias de 60 Hz y 2.1 kHz respectivamente y tienen un índice de modulación de la amplitud (ma) igual a 1 y de la frecuencia (mf) igual a 33 de acuerdo a las ecuaciones (1), (2).

$$ma = \frac{\text{Amplitud onda sinusoidal}}{\text{Amplitud onda triangular}} \quad (1)$$

$$mf = \frac{\text{Frecuencia onda triangular}}{\text{Frecuencia onda sinusoidal}} \quad (2)$$

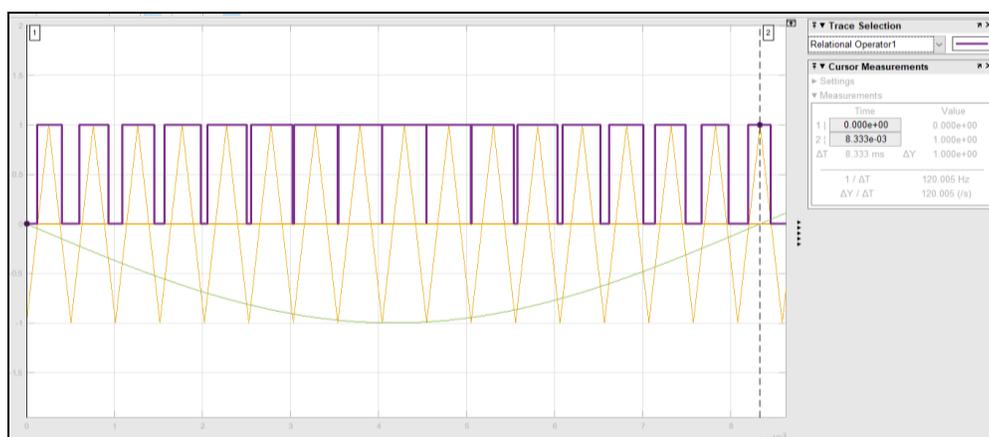
En la figura 3, se observa el proceso de la conformación de los pulsos del modulador SPWM en color azul, donde se obtienen un total de 17 pulsos para el semi ciclo positivo.

**Figura 3.** Pulsos SPWM para el semi ciclo positivo



En la figura 4, se observa la conformación de los pulsos del modulador SPWM en color violeta, donde se obtienen un total de 17 pulsos para el semi ciclo negativo.

**Figura 4.** Pulsos SPWM para el semi ciclo negativo



La secuencia del periodo de conducción y no conducción del circuito inversor se presentan en la tabla 1 y tabla 2 en concordancia de los anchos de pulso de las figuras 3 y 4 respectivamente.

**Tabla 1.** Pulsos SPWM semi ciclo positivo

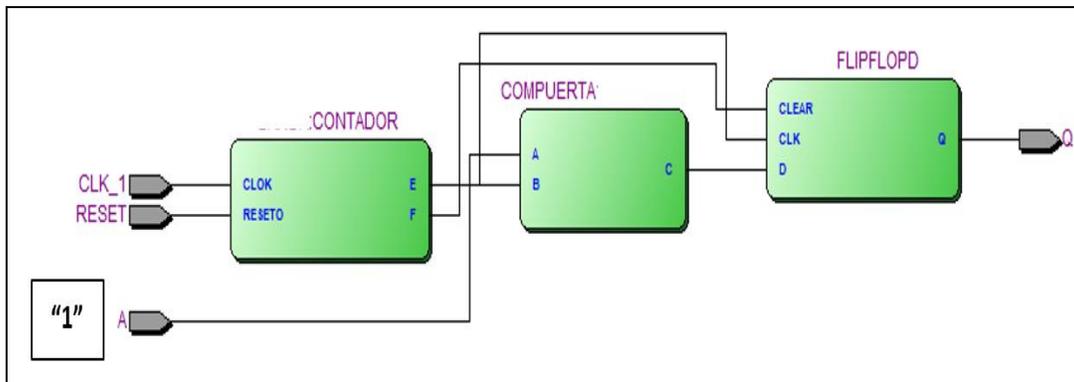
SEMICICLO POSITIVO (μs)		
Pulsos	conducción	No conducción
1	132	230
2	298	183
3	345	137
4	389	97
5	427	62
6	458	35
7	482	14
8	497	3
9	504	1
10	501	7
11	491	23
12	471	47
13	443	79
14	409	116
15	368	159
16	324	204
17	277	120
Suma	6816	1517
suma total	8333	

**Tabla 2.** Pulsos SPWM semi ciclo negativo

SEMICICLO NEGATIVO (μs)		
Pulsos	No conducción	conducción
18	120	278
19	205	324
20	160	367
21	116	408
22	78	444
23	46	471
24	22	490
25	7	501
26	1	504
27	3	497
28	14	482
29	33	458
30	62	427
31	97	390
32	137	347
33	182	301
34	229	132
Suma	1512	6821
suma total	8333	

Etapa 2. Diseño del circuito lógico para un pulso SPWM: En la figura 5 se representa el circuito lógico del control con FPGA quien determina las secuencias de conducción y no conducción de la técnica SPWM tanto para el semi ciclo positivo y negativo.

Figura 5. Diseño para un pulso SPWM



El funcionamiento es el siguiente, el contador determina los cambios de estados del conmutador SPWM tanto para medio ciclo positivo y negativo de acuerdo a la señal moduladora cuya frecuencia es 60 Hz. El terminal “E” habilita el reloj del flip flop e inicia las cuentas según la temporalización de las tablas 1 y 2 respectivamente, el cuanto al terminal “F” es la encargada de reiniciar el flip flop para intercambiar las secuencias de pulsos de cada semi ciclo positivo y negativo. En el intercambio de secuencias entre los pulsos del semi ciclo positivo y negativo se deja un intervalo de no conducción en cada última cuenta del contador que corresponde a 1µs. El total de cuentas que operacionaliza el contador del FPGA corresponde a 16666 µs según se desprende de las tablas 1 y 2.

Etapa 3. El divisor de frecuencia: Se ha realizado la reducción de la frecuencia del reloj de la FPGA de 50 MHz a 1 MHz considerando la ecuación (3) con una constante de conmutación “R” equivalente a 24. En la figura 6 se describe el código VHDL del reloj configurado.

$$R = \frac{f_{in}}{f_{out}} - 1 \quad (3)$$

Figura 6. Constante de conmutación para una frecuencia de 1µs

```
18 architecture Contador of divisordefrecuencia is
19     signal Salida: std_logic;
20     signal Cuenta: integer range 0 to 24:=0;----- SE DIVIDE ENTRE LA FRECUENCIA DESEADA Y
21     ---SE RESTA 1 (50MHZ/ 1 MHZ)-1 = 24
22
```

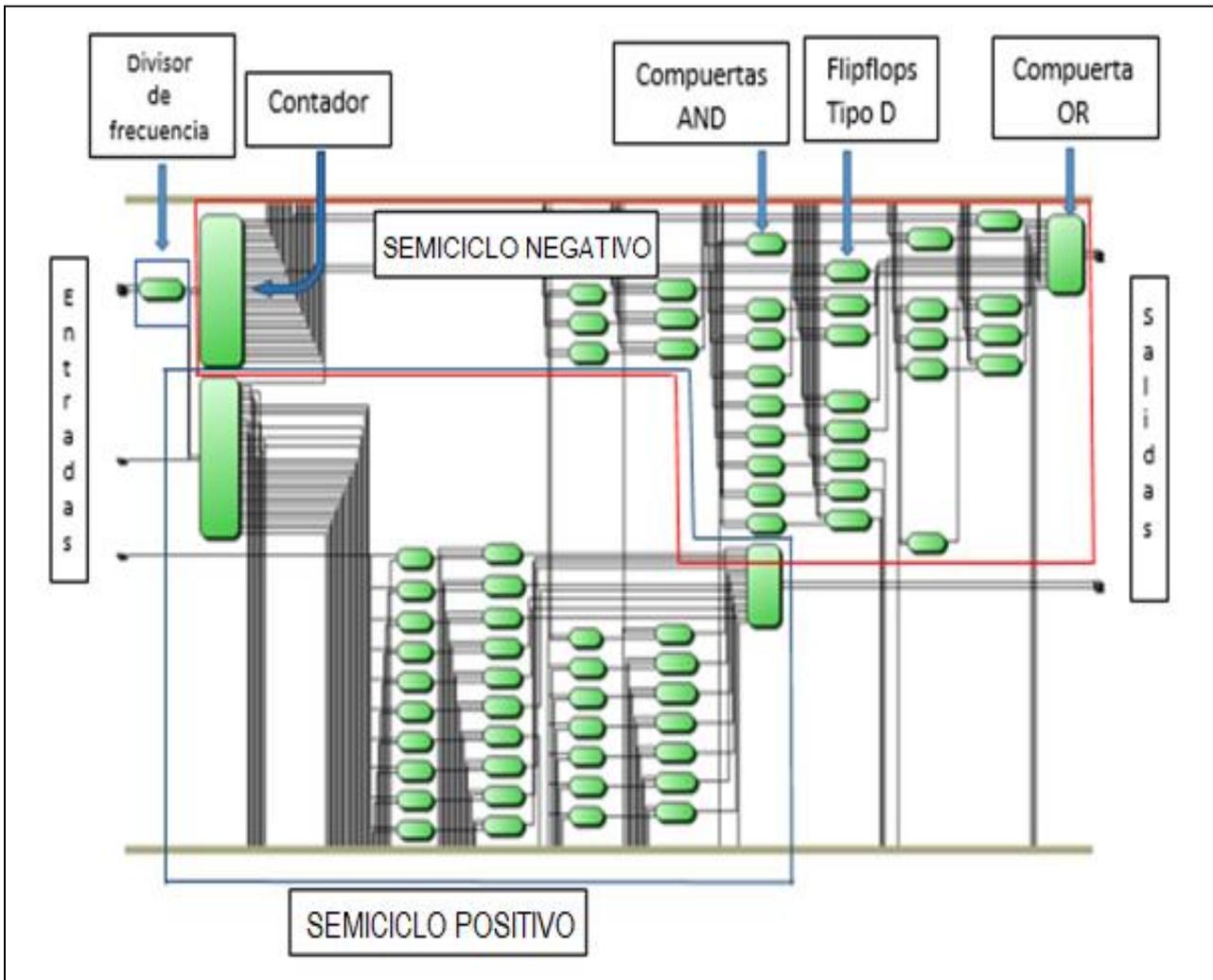
Etapa 4. El contador: Corresponde a un contador ascendente de flanco de subida con resolución de 15 bits (cuentas desde cero a 32767), en el diseño se ha considerado y segmentado a un conteo que va desde cero hasta los 16665 para luego volver a reproducir nuevas cuentas de forma continua en ese orden de forma indefinida. En la figura 7, se representa el VHDL de la secuencia de cuentas.

Figura 7. Constante de conmutación para una frecuencia de 1µs

```
273
274 IF Q_BUS = (16665) THEN
275
276     Q_BUS(15) <='0'; Q_BUS(14) <='0'; Q_BUS(13) <='0';
277     Q_BUS(12) <='0'; Q_BUS(11) <='0'; Q_BUS(10) <='0'; Q_BUS(9) <='0'; Q_BUS(8) <='0'; Q_BUS(7) <='0';
278     Q_BUS(6) <='0'; Q_BUS(5) <='0'; Q_BUS(4) <='0'; Q_BUS(3) <='0'; Q_BUS(2) <='0'; Q_BUS(1) <='0';
279     Q_BUS(0) <='0';
280
281 END IF;
```

En la figura 8, se representa el diagrama esquemático del programa VHDL del modulador SPWM programada en la FPGA a nivel de representación RTL Viewer del Quartus II.

Figura 8. Diagrama esquemático del controlador SPWM en VHDL (RTL Viewer)



En la figura 9, se representa las señales de la conformación de pulsos obtenidas por la FPGA; en las terminales T1 y T2 se representan las señales SPWM con anchura de pulso variable correspondiente al semi ciclo positivo, asimismo en T3 y T4 correspondientes al semi ciclo negativo. En la figura 10, se representa la composición de las señales conformadas por los pulsos cuadrados de anchura variable correspondiente a los semi ciclos positivos y negativos de las terminales “T” en razón a la portadora de 2.1 kHz y señal moduladora de 60Hz.

Figura 9. Conformación de pulsos SPWM en la FPGA a través del Quartus II

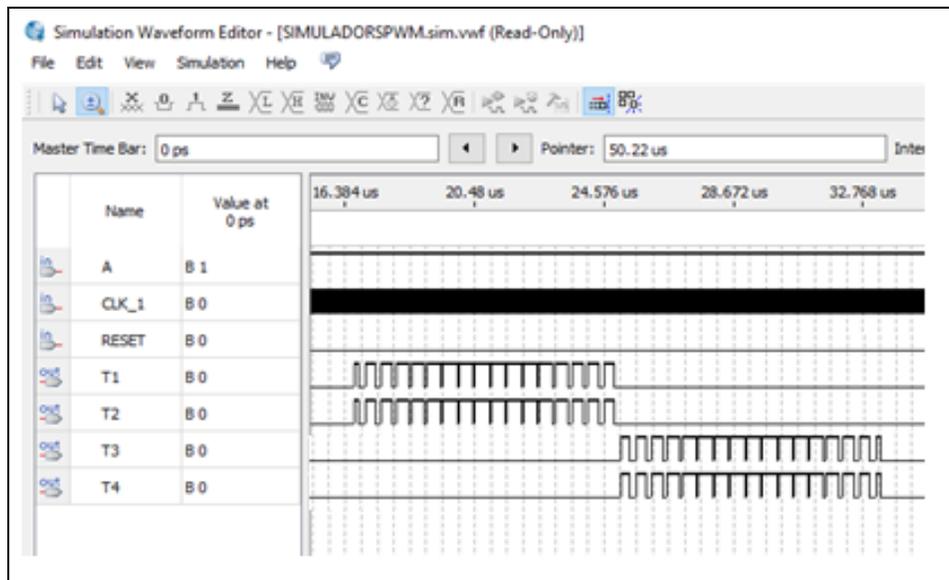
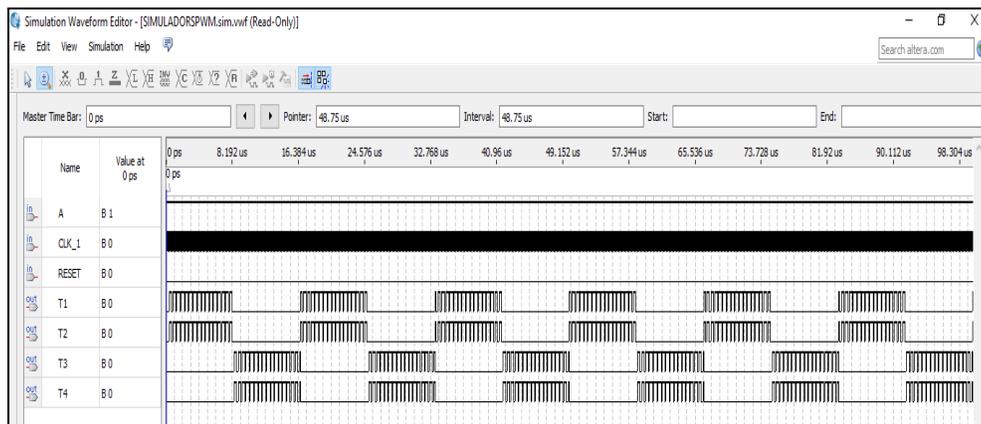


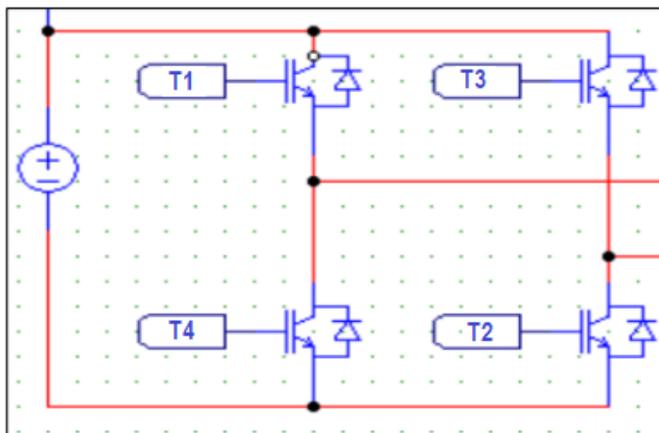
Figura 10. Composición de la señal SWPM en la FPGA para semi ciclo positivo y negativo



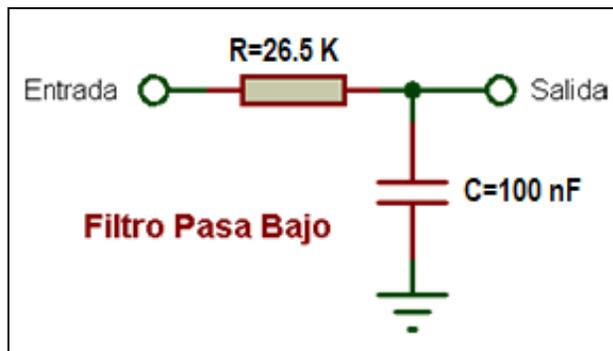
Las señales de pulso cuadrado con anchura de pulso variable según la técnica SPWM se aplican a los pines de entrada T1, T2, T3 y T4 de la figura 11. La conmutación de los pulsos de las terminales T1 y T2 funcionan de forma paralela y simultánea en activar el circuito inversor, al finalizar el ciclo de pulsos se procede con la conmutación paralela de los terminales T3 y T4. La conexión entre los terminales de baja potencia a la salida del FPGA se han conectado al circuito inversor de potencia a través de un módulo de acoplo en puente “H” a través del circuito integrado L298N. Finalmente a la salida del inversor se ha conectado el filtro paso bajo con una

frecuencia de corte de 60 Hz y pendiente de -20 decibeles por década, en la figura 12 se representa al circuito del filtro.

**Figura 11.** Circuito inversor en puente “H” DC-AC



**Figura 12.** Circuito eléctrico del filtro paso bajo.

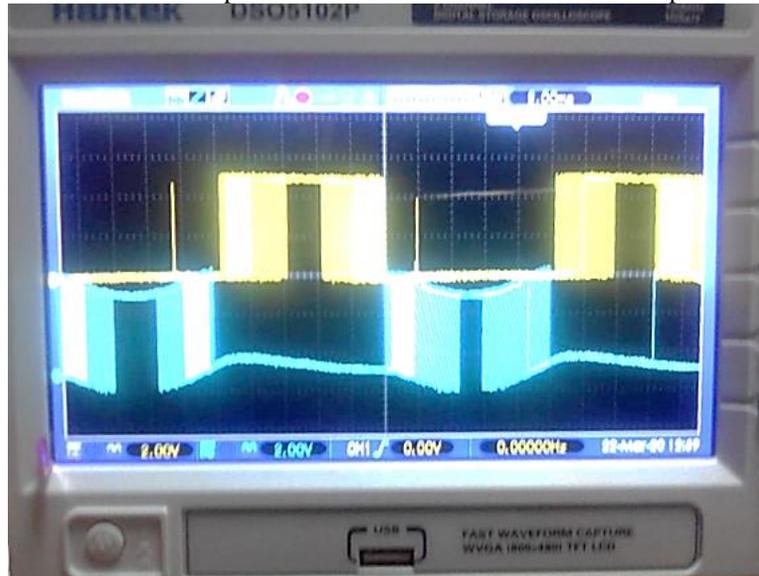


## Resultados y discusión

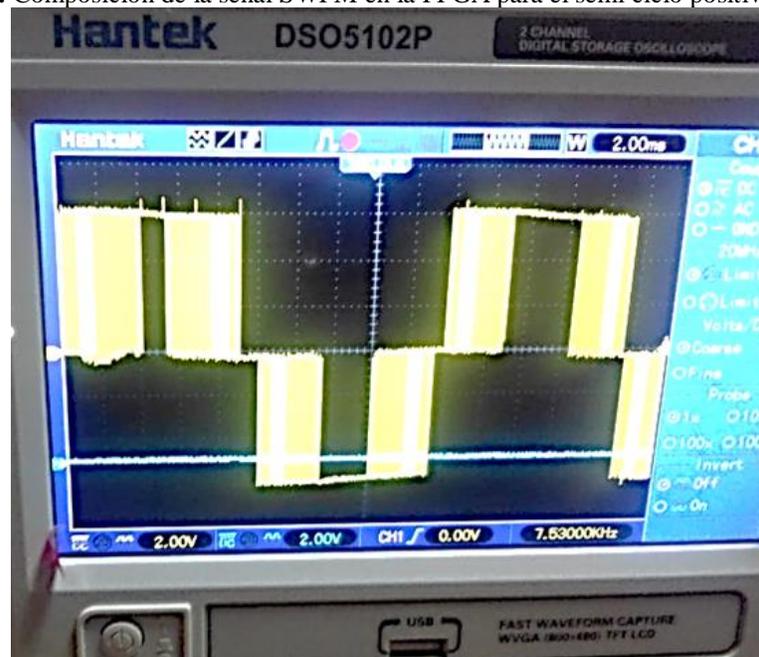
Con el osciloscopio Hantek DSO5102P se evidencia los resultados del modulador por anchura de pulso sinusoidal basado en una FPGA. El índice de modulación de amplitud “ma” corresponde a  $ma=1$ , y el índice de modulación por frecuencia “mf” es 33; el total de pulsos conformados por cada semi ciclo positivo y negativo corresponden a 17 pulsos cuadrados según la técnica SPWM de acuerdo a la tabla 1 y 2, en la figura 13 y 14 se representa la conformación y composición de pulsos SPWM vistos en un osciloscopio. Se ha demostrado

experimentalmente el funcionamiento del modulador SPWM mediante una FPGA y finalmente al aplicar el filtro paso bajo se obtiene una señal sinusoidal de 60 Hz a la salida del inversor como se puede apreciar en la figura 15.

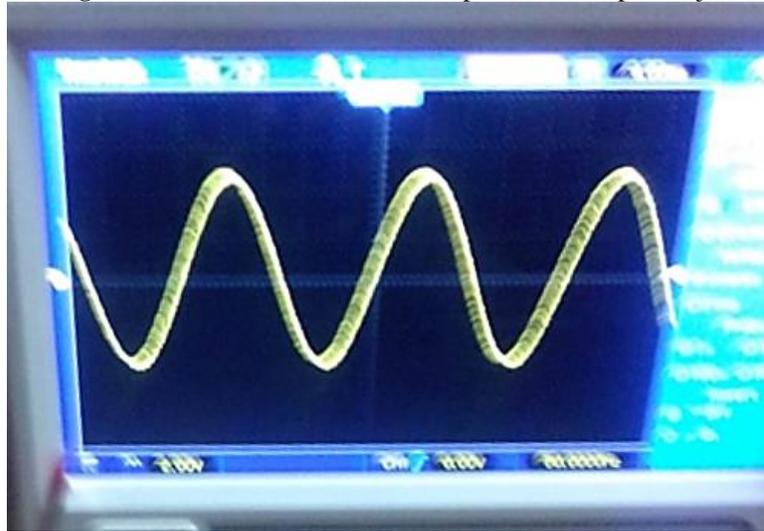
**Figura 13:** Conformación de pulsos SPWM en la FPGA del semi ciclo positivo y negativo



**Figura 14:** Composición de la señal SWPM en la FPGA para el semi ciclo positivo y negativo



**Figura 15:** Señal alterna de 60 Hz después del filtro paso bajo.



Después de realizar el análisis espectral de la onda sinusoidal se realiza el análisis del THD con los datos de la tabla 3, donde N° es el orden de muestra, f es la frecuencia y V es la amplitud de la ganancia de la componente armónica.

**Tabla 3.** Análisis de las componentes armónicas de la señal a la salida del filtro paso bajo.

N°	f	V	N°	f	V												
1	0	0.05	18	127	0.04	35	255	0.02	52	382	0.02	69	509	0.01	86	637	0.01
2	7	0.02	19	135	0.04	36	262	0.01	53	389	0.01	70	517	0.01	87	644	0.01
3	15	0.05	20	142	0.03	37	270	0.02	54	397	0.01	71	524	0.01	88	652	0.01
4	22	0.05	21	150	0.03	38	277	0.02	55	404	0.01	72	532	0.01	89	659	0.01
5	30	0.03	22	157	0.02	39	285	0.02	56	412	0.01	73	539	0.00	90	666	0.01
6	37	0.07	23	165	0.02	40	292	0.02	57	419	0.03	74	547	0.01	91	674	0.01
7	45	0.10	24	172	0.01	41	300	0.09	58	427	0.01	75	554	0.01	92	681	0.01
8	52	0.23	25	180	0.53	42	307	0.01	59	434	0.01	76	562	0.01	93	689	0.01
9	60	16.5	26	187	0.05	43	315	0.01	60	442	0.01	77	569	0.01	94	696	0.01
10	67	0.27	27	195	0.03	44	322	0.01	61	449	0.01	78	577	0.01	95	704	0.01
11	75	0.14	28	202	0.03	45	329	0.01	62	457	0.01	79	584	0.01	96	711	0.01
12	82	0.10	29	210	0.03	46	337	0.02	63	464	0.01	80	592	0.01	97	719	0.01
13	90	0.07	30	217	0.02	47	344	0.01	64	472	0.01	81	599	0.01	98	726	0.01
14	97	0.04	31	225	0.03	48	352	0.01	65	479	0.01	82	607	0.01	99	734	0.01
15	105	0.07	32	232	0.02	49	359	0.01	66	487	0.01	83	614	0.01	100	741	0.01
16	112	0.05	33	240	0.02	50	367	0.01	67	494	0.01	84	622	0.00	101	749	0.01
17	120	0.06	34	247	0.02	51	374	0.01	68	502	0.01	85	629	0.01	102	756	0.01

La distorsión armónica total (THD) del inversor monofásico con modulador SPWM basado con FPGA se determina con la ecuación (4) cuyo valor de la THD es de 3.29% que representa una cercanía a una onda sinusoidal pura cuyo THD es del 0% la vez el resultado obtenido se asemeja a valores de THD obtenidas en trabajos similares que ubican la distorsión en el rango del 1.7% y 9.3% según (Colak & Kabalci, 2013) en su diseño de modulador SPWM..

$$THD = \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + \dots}}{V_1} * 100\% \quad (4)$$

$$THD = \frac{\sqrt{0.06^2 + 0.53^2 + 0.02^2 + 0.09^2 + 0.01^2 + 0.03^3 + 0.01^2 + 0.01^2 + 0.01^2 + 0.01^2}}{16.5} * 100\%$$

$$THD = \frac{0.5426}{16.5} * 100\%$$

$$THD = 3.29\%$$

Por lo tanto, se ha obtenido un modulador por anchura de pulso sinusoidal (SPWM) basado en una FPGA para controlar un convertidor DC-AC (inversor) con una frecuencia de la señal moduladora de 60 Hz; este resultado es similar a los trabajos de (Birbir, Yurtbasi, & Kanburoglu, 2019) (Abdel, Thomas, & Mostafa, 2017) y del mismo modo a (De la Barrera, Arellano, Reséndiz, & Sanchez, 2015) que desarrollaron moduladores SPWM con microcontroladores de gama media y alta con frecuencias de 50 Hz y 60 Hz. El espectro de frecuencias de la senoide obtenida del inversor con modulador SPWM tiene la componente fundamental en la frecuencia de 60 Hz y se evidencia la existencia los armónicos 3rd, 5th, 7th con amplitudes no significativas que no generan perturbaciones en el suministro eléctrico. Los resultados obtenidos del espectro de frecuencias de la senoide, guardan similitud con el trabajo de (Colak & Kabalci, 2013) donde se evidencia la existencia del 3rd, 5th, 7th armónicos con amplitudes muy pequeñas y no relevantes.

## Referencias

1. Abdel, S., Thomas, J., & Mostafa, R. (2017). Design and Implementation of a Single Phase SPWM Inverter Based Microcontroller for Wind Energy Conversion Systems. *International journal of systems applications, engineering & development.*, 291-296. doi:10.19026/rjaset.14.3994
2. Birbir, Y., Yurtbasi, K., & Kanburoglu, V. (2019). Design of a single-phase SPWM inverter application with PIC micro controller. *Engineering Science and Technology, an International Journal*, 592-599. doi:https://doi.org/10.1016/j.jestch.2018.11.014
3. Colak, I., & Kabalci, E. (2013). Developing a novel sinusoidal pulse width modulation (SPWM) technique to eliminate side band harmonics. *International Journal of Electrical Power & Energy Systems*, 861-871. doi:doi.org/10.1016/j.ijepes.2012.08.024
4. De la Barrera, G. A., Arellano, S. A., Reséndiz, M. I., & Sanchez, J. S. (2015). Análisis de PWM sinusoidal (SPWM) utilizando Matlab para generar el código de conmutación digital. *IEEE ROC&C*, Ponencia 21.
5. Hernández León, R. (2011). *El proceso de la investigación científica*. La habana Cuba: Editorial universitaria. Obtenido de <https://elibro.net/es/lc/bibliounh/titulos/71435>
6. Horikoshi, I. (2009). *Análisis de las componentes armónicas de los*. Madrid: Universidad Carlos III.
7. Rodríguez, A., & Pérez, A. O. (2017). *Métodos científicos de indagación y construcción del conocimiento*. EAN, 179-200. doi:10.21158/01208160.n82.2017.1647
8. Vernavá, A., Gibbons, R., Nachez, A., Arias, M., & Novello, A. (13 de Junio de 2018). *Conversión CC/CA monofásica - Inversores monofásicos autónomos*. Obtenido de Universidad Nacional de Rosario: [https://nanopdf.com/download/conversion-cc-ca-universidad-nacional-de-rosario\\_pdf](https://nanopdf.com/download/conversion-cc-ca-universidad-nacional-de-rosario_pdf)